

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111914

(43)Date of publication of application : 23.04.1999

(51)Int.Cl. H01L 25/10

H01L 25/11

H01L 25/18

H01L 23/32

H01L 23/50

(21)Application number : 09-269041

(71)Applicant : NEC CORP

(22)Date of filing : 01.10.1997

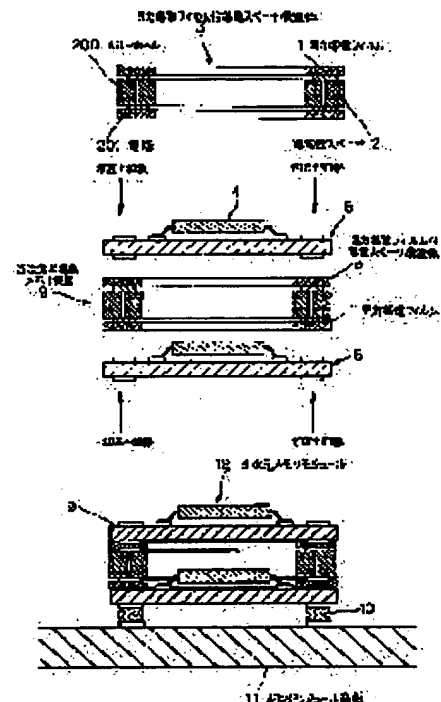
(72)Inventor : YOSHIKAWA TAKEO

(54) THREE DIMENSIONAL MEMORY MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of manufacturing processes and shorten TAT by integrally connecting a plurality of semiconductor memory devices via conductive spacers with anisotropic conductive films.

SOLUTION: A conductive spacer structure 3 with anisotropic conductive films is made by adhering anisotropic conductive films 1 on both faces of a conductive spacer 2. A semiconductor memory device 6 is a device, wherein a single semiconductor memory device 4 sealed in a case is mounted on one face of a substrate. A plurality of the semiconductor memory devices 6 are located on both faces of the conductive spacer structure 3 with anisotropic conductive films and then pressurized and heated to be connected electrically to form a three dimensional semiconductor memory device 9. A three dimensional memory module 12 is made by mounting a plurality of the three dimensional memory devices 9 provided with solder bumps 10 as external terminals on a memory module substrate 11.



LEGAL STATUS

[Date of request for examination]

01.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

2870528

[Date of registration]

08.01.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(51) IntCl⁴

識別記号

F I

H 0 1 L 25/10
25/11
25/18
23/32
23/50

H 0 1 L 25/14
23/32
23/50

Z
D
W

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平9-269041

(22) 出願日

平成9年(1997)10月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉川 武夫

東京都港区芝五丁目7番1号 日本電気株式会社内

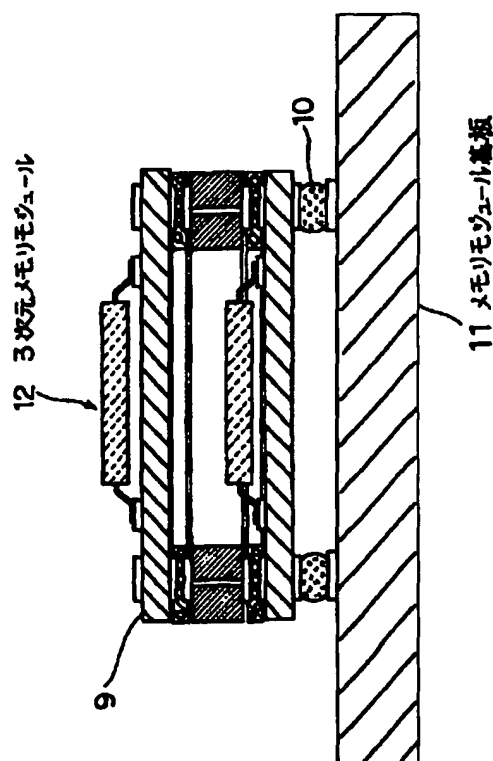
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 3次元メモリモジュール

(57) 【要約】

【課題】 3次元メモリモジュールを、簡単な製造工程で高密度実装によって、安価に大容量メモリモジュールを提供する。

【解決手段】 異方導電フィルム1と、基板からなり、内側が中空で、基板の両面に複数の電極が互いに電氣的に接続された導電性スペーサ2と、異方導電フィルムを導電性スペーサの表裏面に接着した異方導電フィルム付きの導電スペーサ構造体3と、単一の半導体メモリデバイス4を実装した半導体メモリ装置6と、二つの半導体メモリ装置間に導電スペーサ構造体を挿入して、加圧と加熱を加えて二つの半導体メモリ装置を電氣的に接続した3次元半導体メモリ装置9と、この3次元半導体メモリ装置の底面に複数の接続端子を形成した後実装されるメモリモジュール基板11とからなる。



【特許請求の範囲】

【請求項1】 異方導電フィルム(1)と、内側が中空の基板の表裏両面にそれぞれ互いに電気的に接続された電極の対が複数個設けられた導電性スペーサ(2)とを備え、

前記異方導電フィルム(1)が前記導電性スペーサ

(2)の表面と裏面の電極にそれぞれ接着されてなる異方導電フィルム付きの導電スペーサ構造体(3)と、ケースに封止された単一の半導体メモリデバイスを基板の片面に実装した半導体メモリ装置(6)と、からなり、前記導電スペーサ構造体(3)が2個の前記半導体メモリ装置(6)の間に介装され、加圧、加熱されて前記半導体メモリ装置(6)が電気的に接続された3次元半導体メモリ装置(9)であって、前記3次元メモリ装置(9)が、その底面に形成された複数の接続端子を介してメモリモジュール基板(11)上に実装されてなることを特徴とする3次元メモリモジュール。

【請求項2】 ケースに封止された単一の半導体メモリデバイスを基板の両面に実装した半導体メモリ装置からなることを特徴とする請求項1記載の3次元メモリモジュール。

【請求項3】 ベア状の単一の半導体メモリデバイスを基板に実装した半導体メモリ装置からなることを特徴とする請求項1記載の3次元メモリモジュール。

【請求項4】 請求項1記載の3次元メモリ装置を複数個立体的に積層してなることを特徴とする3次元メモリモジュール。

【請求項5】 内側が中空の基板の両面に互いに電気的に接続されて対をなす電極が複数個配置された導電性スペーサの両面に、異方導電フィルムを前記電極に当接させて配置する、異方導電フィルム付きの導電スペーサ構造体を形成する工程と、

前記導電スペーサ構造体の両面に、複数の外部電極の対を有し、ケースに封止された単一の半導体メモリ装置を、前記導電スペーサの電極と前記外部電極が、前記異方導電フィルムを介して対向するように配置する工程と、

前記導電スペーサ構造体と、これを挟んで配置された前記半導体メモリ装置を加熱し、かつ、これら半導体装置の外側から対向する方向に加圧して半導体装置を互いに電気的に接続する工程とからなることを特徴とする3次元半導体メモリ装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電話・データ交換処理制御装置および情報処理制御装置に関し、特にそれらの装置の記憶ユニットに関する。

【0002】

【従来の技術】 この種の3次元メモリモジュールは従来

3つの技術によって構成されていた。ひとつは、基板にフリップチップ実装した複数のベア状の半導体メモリデバイスを、基板上の電極に設けられた半田バンプ同士を相互に接続して立体的に積み上げる方法である。もう一つは、複数のベア状の半導体メモリデバイスを絶縁膜を介して積層後、各チップの電極パッド間に導電性エポキシ樹脂を滴下させながら柱状の導体を形成して相互に接続する方法がある。もう一つは、ケースに封止された半導体メモリチップを2枚のメモリモジュール基板に搭載し、板間コネクタで基板間を接続して2階建て構造とした3次元メモリモジュールである。

【0003】

【発明が解決しようとする課題】 まず基板にフリップチップ実装した複数のベア状の半導体メモリデバイスを、基板上の電極に設けられた半田バンプ同士を相互に接続して立体的に積み上げる方法においては、製造TAT(turn around time)が長いという欠点があった。次に複数のベア状の半導体メモリデバイスを絶縁膜を介して積層後、各チップの電極パッド間に導電性エポキシ樹脂を滴下させながら柱状の導体を形成して相互に接続する方法においては、柱状導体の製造歩留まりとコストが高いという欠点があった。また両者ともベア状のチップを対象とした技術で、チップの良品保証(known good die)に問題があった。最後に、ケースに封止された半導体メモリチップを2枚のメモリモジュール基板に搭載し、板間コネクタで基板間を接続して2階建て構造とした3次元メモリモジュールにおいては、メモリモジュールの形状が大きくなり、従って配線長が長くなることによりメモリをドライブできない、あるいは大容量なドライブ回路を必要とする欠点があった。

【0004】 本発明は、半導体メモリデバイスを高密度に積層でき製造工程数の少い、歩留まりの良い、立体的に積層できる3次元メモリモジュールを提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明の3次元メモリモジュールは、異方導電フィルムと、内側が中空の基板の表裏両面にそれぞれ互いに電気的に接続された電極の対が複数個設けられた導電性スペーサとを備え、異方導電フィルムが導電性スペーサの表面と裏面の電極にそれぞれ接着されてなる異方導電フィルム付きの導電スペーサ構造体と、ケースに封止された単一の半導体メモリデバイスを基板の片面に実装した半導体メモリ装置と、からなり、導電スペーサ構造体が2個の半導体メモリ装置の間に介装され、加圧、加熱されて半導体メモリ装置が電気的に接続された3次元半導体メモリ装置であって、3次元メモリ装置が、その底面に形成された複数の接続端子を介してメモリモジュール基板上に実装されている。

【0006】 そして、ケースに封止された単一の半導体メモリデバイスを基板の両面に実装した半導体メモリ装

置を用いることができ、又は、ベア状の単一の半導体メモリデバイスを基板に実装した半導体メモリ装置を用いることもでき、更に、上述の3次元メモリモジュールは複数個立体的に積層することができる。

【0007】本発明によって、

(1) 複数の半導体メモリデバイスを異方導電フィルム付き導電スペーサを介して一括して一体的に接続するため製造工程が少ない。

(2) 導電スペーサの外形状において、その内側が中空状であることによって、半導体メモリデバイスをZ軸方向に隙間無く積層できる。

(3) また加熱、加圧等の製造条件が比較的ゆるく、又製造工程も少ないので歩留まりが良好である。

(4) ベア状のメモリチップばかりでなく、市販のケースに封止された半導体メモリデバイスに対して本発明を容易に適用できる。

(5) 一般的なS I M MまたはD I M Mタイプのメモリモジュールにくらべメモリチップを立体的に積層するため、容易に大容量のメモリモジュールを実現できる。また高密度実装化によって小さなドライブ回路で駆動でき、消費電力を減らすことができる。

【0008】

【発明の実施の形態】次に本発明の一実施の形態につき図面を参照して説明する。図1は、本発明の一構成要素である矩形状でその内側が中空の異方導電フィルム1である。異方導電フィルム1は、厚さが40 μ m程度の極めて薄いフィルムの、接着性のある絶縁テープ内部に金属粒子あるいは金属皮膜付きプラスチック粒子からなる導電性粒子101を含むフィルムである。図1に示す異方導電フィルム1はその内部が中空で矩形状であるが、この形状は、その内部がベタ状であったり細長いテープ状であるものを任意に選択して加工して得られる。

【0009】図2に、本発明の一構成要素である導電性スペーサ2を示す。導電性スペーサ2の板端には、その表裏面にスルーホール202を介して電気的に接続される電極201が複数個配置して形成される。電極の表面材料は通常金を使用する。本図の導電性スペーサ2の内側は中空状であるが、これは後述するように半導体デバイスを効率よく高密度に積層するために選択したものであり、ベタ状にすることも積層するデバイスによっては選択できる。導電性スペーサ2の材質は通常有機基板が採用され、その板厚も2mm以下であるが、任意に選択可能である。

【0010】図3は、本発明の一構成要素で、前記導電性スペーサ2の両面に前記異方導電フィルム1を接着して形成した異方導電フィルム付き導電スペーサ構造体3である。もともと異方導電フィルムは接着性を持つため、単に搭載するだけの簡単な工程でこの異方導電フィルム付き導電スペーサ構造体3を形成できる。この段階では、異方導電フィルム1は特に導電性スペーサ2の電

極に対しアラインメントする必要性はない。

【0011】図4は、本発明の一構成要素で、ケースに封止された半導体メモリデバイス4一個を、有機系のシングル基板5に実装した半導体メモリ装置6である。シングル基板5とは、半導体メモリデバイス4を1個実装する基板という理由からこの名称になった。シングル基板は単にメモリデバイス1個のみ実装するものであるから、デバイスサイズに近い外形サイズと2層の、板厚0.4mm程度の有機基板で十分である。本半導体メモリ装置6の外部電極A7、外部電極B8は、そのシングル基板5の板端に位置し、かつシングル基板の両面にスルーホール401を介して電気的に接続されている。半導体メモリ装置6の組み立ては通常のリフロー半田付け装置で行う。

【0012】図5は、前記の発明の構成要素を組み合わせて3次元半導体メモリ装置9を形成する過程を説明するものである。異方導電フィルム付き導電スペーサ構造体3の両面に、複数の半導体メモリ装置6を位置した後、アラインメントを行う。アラインメントは、部品搭載機による認識マークの識別あるいは特定の位置合わせ治具によって行う。半導体メモリ装置6の外部電極ピッチは、ケース封止の半導体メモリデバイス4を使用するため通常0.5mmから1.27mmである。そのため位置合わせに要求される精度は高々 ± 0.1 mm程度で十分である。

【0013】さてこのようにして位置決めされた3次元半導体メモリ装置9は、特別の熱圧着装置を使って加圧と加熱を、異方導電フィルム付き導電スペーサ構造体3の両面に位置する半導体メモリ装置6から互いに対向する方向に印加される。この時の製造条件は、200℃で20秒間の加熱、および半導体メモリ装置6の単位外部電極あたり50gの加圧、たとえば50端子の半導体メモリデバイス4の場合片側2500gの加圧である。熱圧着された異方導電フィルム1は、異方導電フィルム付きスペーサ構造体3の電極とたがいに対向する半導体メモリ装置6の外部電極に位置する異方導電フィルム1は押しつぶされ、押しつぶされることによってフィルム内部の金属粒子あるいは金属皮膜付きプラスチック粒子は対向する電極に食い込む形で接触し、その結果電気的接続をもたらす。

【0014】一方互いに対向する電極のない部分では異方導電フィルム1は押しつぶされることがなく、あるいは押しつぶされても導電粒子の食い込む電極部がないため、したがって電気的導通はおこらない。図6に、このようにして製作された3次元半導体メモリ装置9を示す。半導体メモリ装置間の電気的導通部601を図中の矢印で示してある。

【0015】図7は、3次元半導体メモリ装置9の外部接続端子として、半田パンパ10を装置底部の電極上に形成した様子を示す。パンパ状外部端子は、リード状端

子に比べ、高密度に多数の端子を設けられること、半田のセルフアラインメント機能により半田バンプ10の接続歩留まりもリード状端子に比べ10倍以上良好である等の利点を有している。尚、半田バンプ10は、他の形状の接続端子、例えばクリップ状の端子あるいはろう付した柱状のピンタイプの端子でも代替できる。

【0016】図8は、外部端子である半田バンプ10を具備した複数の3次元半導体メモリ装置9を、メモリモジュール基板11に実装した3次元メモリモジュール12を示す。このようにして構成された3次元メモリモジュールは、通常のSIMMあるいはDIMMモジュールに比べ倍以上のメモリ容量を容易に実現できることは明らかであろう。

【0017】本実施の形態では、半導体メモリデバイスを2段にスタックした場合を例にとり説明したが、さらに多段にスタッキングしてメモリ容量を増やすことは容易であることはいうまでもない。また半導体メモリ装置6は、本実施の形態ではケースに封止された半導体デバイスの場合を示したが、ベア状の半導体デバイスをフリップチップ接続して構成する半導体メモリ装置6でも本発明の効果は何ら変わらないことは明らかである。

【0018】

【発明の効果】以上説明したように本願発明は、以下に記載するような効果がある。

(1) 複数の半導体メモリデバイスを異方導電フィルム付き導電スペーサを介して一括して一体的に接続するため製造工程が少なくTATが早い効果がある。

(2) 導電スペーサの外形形状において、その内側が中空状であることによって、半導体メモリデバイスをZ軸方向に隙間無く積層でき、高密度化が図れる効果がある。

(3) また加熱、加圧等の製造条件が比較的ゆるく、又製造工程も少ないので歩留まりが良好で、そのため低コストのメモリモジュールを容易に実現できる効果がある。

(4) ベア状のメモリチップばかりでなく、市販のケースに封止された半導体メモリデバイスに対して本発明を容易に適用できるため、KGDにかかわる歩留まり不良によるコストアップ問題を回避できる効果がある。

(5) 一般的なSIMM (single in memory module) またはDIMM (double in memory module) タイプの

メモリモジュールにくらべメモリチップを立体的に積層するため、容易に大容量のメモリモジュールを実現できる効果がある。

(6) 高密度実装によってメモリドライブパワーを小さくすることができ、消費電力を削減する効果がある。

【図面の簡単な説明】

【図1】本発明の一構成要素である異方導電フィルムの斜視図である。

【図2】本発明の一構成要素である導電性スペーサの斜視図である。

【図3】本発明の一構成要素である異方導電フィルム付き導電スペーサ構造体の縦断面図である。

【図4】本発明の一構成要素である半導体メモリ装置の縦断面図である。

【図5】本発明の一構成要素である3次元半導体メモリ装置の形成過程の説明図である。

【図6】本発明の一構成要素である3次元半導体メモリ装置の縦断面図である。

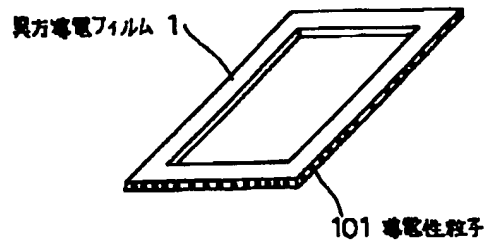
【図7】本発明の一構成要素である3次元半導体メモリ装置の外部接続端子形成過程の説明図である。

【図8】本発明の3次元メモリモジュールの縦断面図である。

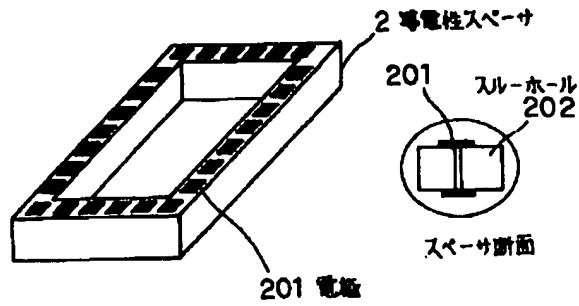
【符号の説明】

- 1 異方導電フィルム
- 2 導電性スペーサ
- 3 異方導電フィルム付き導電スペーサ構造体
- 4 半導体メモリデバイス
- 5 シングル基板
- 6 半導体メモリ装置
- 7 外部電極A
- 8 外部電極B
- 9 3次元半導体メモリ装置
- 10 半田バンプ
- 11 メモリモジュール基板
- 12 3次元メモリモジュール
- 101 導電性粒子
- 201 電極
- 202 スルーホール
- 401 スルーホール
- 601 導通部

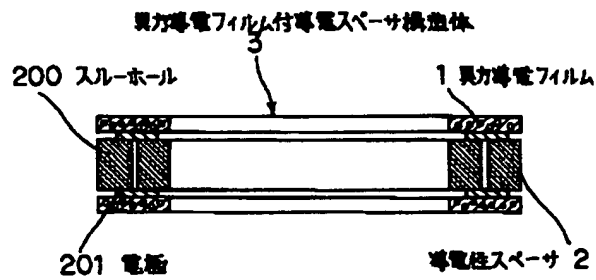
【図1】



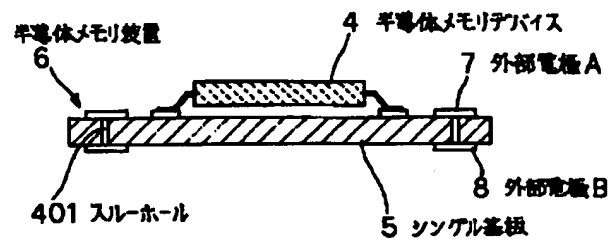
【図2】



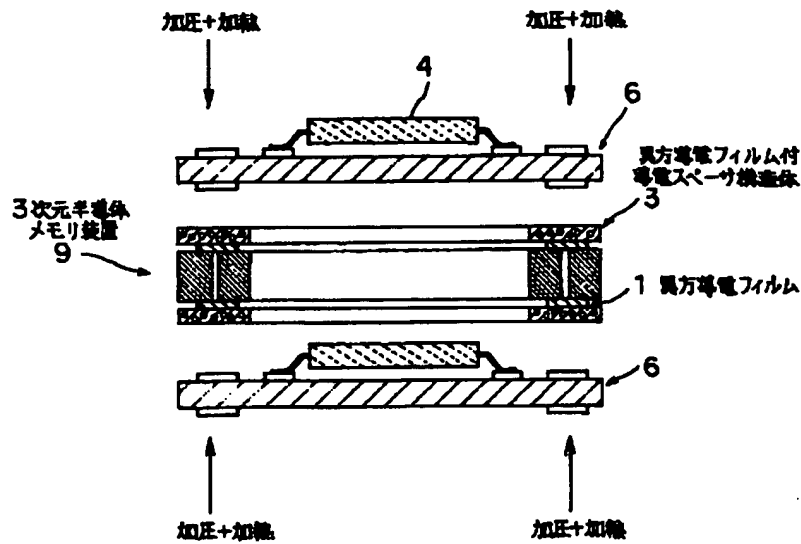
【図3】



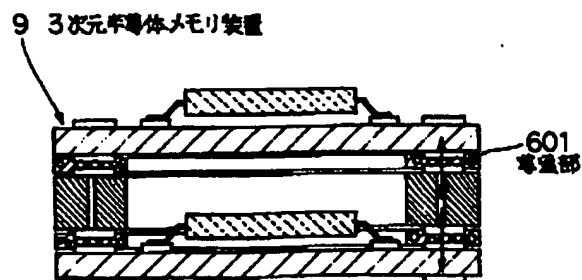
【図4】



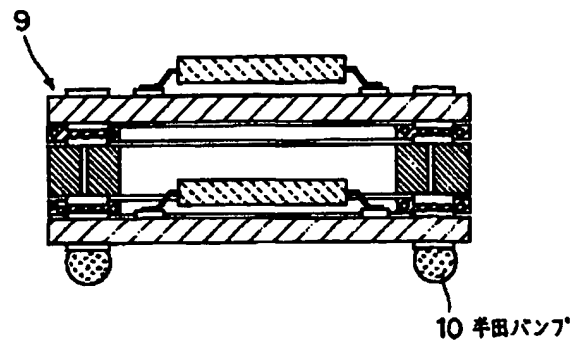
【図5】



【図6】



【図7】



【図8】

